

Attorney Docket No. 1076.1091

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Masahiro NATSUME et al.

Application No.: Unassigned

Group Art Unit: Unassigned

Filed: November 20, 2003

Examiner: Unassigned

For: DC-DC CONVERTER AND METHOD FOR CONTROLLING DC-DC CONVERTER

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2002-338954

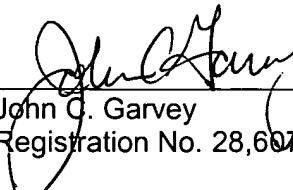
Filed: November 22, 2002

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: November 20, 2003

By: 
John C. Garvey
Registration No. 28,607

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2002年11月22日

出願番号 Application Number: 特願2002-338954

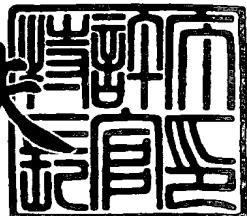
[ST. 10/C]: [JP2002-338954]

出願人 Applicant(s): 富士通株式会社

2003年 7月29日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3060282

【書類名】 特許願
【整理番号】 0241076
【提出日】 平成14年11月22日
【あて先】 特許庁長官殿
【国際特許分類】 H02M 3/06
【発明の名称】 DC-DCコンバータの制御方法、DC-DCコンバータ、半導体集積回路装置、及び電子機器
【請求項の数】 10
【発明者】
【住所又は居所】 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴ
イエルエスアイ株式会社内
【氏名】 夏目 雅弘
【発明者】
【住所又は居所】 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴ
イエルエスアイ株式会社内
【氏名】 滝本 久市
【発明者】
【住所又は居所】 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴ
イエルエスアイ株式会社内
【氏名】 小澤 秀清
【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社
【代理人】
【識別番号】 100068755
【弁理士】
【氏名又は名称】 恩田 博宣

【選任した代理人】

【識別番号】 100105957

【弁理士】

【氏名又は名称】 恩田 誠

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 DC-DCコンバータの制御方法、DC-DCコンバータ、半導体集積回路装置、及び電子機器

【特許請求の範囲】

【請求項1】 メインスイッチング用トランジスタをオン／オフ駆動してDC-DC変換を実施するDC-DCコンバータの制御方法であって、

前記メインスイッチング用トランジスタのソース・ドレイン間には、ダイオードと第1コンデンサとからなる直列回路を並列に接続し、前記第1コンデンサにスイッチ回路を介して第2コンデンサを並列に接続し、

前記メインスイッチング用トランジスタのオン／オフに同期して、前記スイッチ回路により前記各コンデンサを接続又は切り離すことにより、前記メインスイッチング用トランジスタを駆動するためのゲート電圧を生成するようにしたことを特徴とするDC-DCコンバータの制御方法。

【請求項2】 前記メインスイッチング用トランジスタのオフ時に、前記第1コンデンサを、該メインスイッチング用トランジスタに供給される入力電圧により前記ダイオードを介して充電し、

前記メインスイッチング用トランジスタのオン時に、前記スイッチ回路により第1コンデンサと第2コンデンサとを並列に接続して前記第2コンデンサを充電し、その第2コンデンサの電圧を、前記メインスイッチング用トランジスタを駆動するドライブ回路の駆動電圧として供給することを特徴とする請求項1に記載のDC-DCコンバータの制御方法。

【請求項3】 メインスイッチング用トランジスタをオン／オフ駆動してDC-DC変換を実施するDC-DCコンバータであって、

前記メインスイッチング用トランジスタのソース・ドレイン間に、ダイオードと第1コンデンサとからなる直列回路が並列に接続され、前記第1コンデンサにスイッチ回路を介して第2コンデンサが並列に接続され、前記メインスイッチング用トランジスタのオン／オフに同期して、前記スイッチ回路により前記各コンデンサを接続又は切り離すことにより、前記メインスイッチング用トランジスタを駆動するためのゲート電圧を生成するゲート電圧生成手段を有することを特徴

とするDC-DCコンバータ。

【請求項4】 前記第1コンデンサは、前記メインスイッチング用トランジスタのオフ時に、該メインスイッチング用トランジスタに供給される入力電圧によって前記ダイオードを介して充電され、

前記第2コンデンサは、前記メインスイッチング用トランジスタのオン時に、前記スイッチ回路により第1コンデンサと並列に接続されて該第1コンデンサにより充電され、その第2コンデンサの電圧が前記メインスイッチング用トランジスタを駆動するドライブ回路の駆動電圧として供給されることを特徴とする請求項3に記載のDC-DCコンバータ。

【請求項5】 前記第2コンデンサの電圧を監視する電圧監視回路と、その電圧監視回路の出力信号に基づいて、前記スイッチ回路をオン／オフするスイッチ制御回路とを備えたことを特徴とする請求項4に記載のDC-DCコンバータ。

【請求項6】 メインスイッチング用トランジスタを駆動して入力電圧を所望の電圧値に変換するDC-DCコンバータであって、

前記メインスイッチング用トランジスタのソース・ドレイン間に設けられた、入力電圧を分圧する第1コンデンサと第2コンデンサと、

前記第1コンデンサと第2コンデンサにより分圧された入力電圧により、メインスイッチング用トランジスタの駆動電圧を生成する駆動電圧生成手段とを有することを特徴とするDC-DCコンバータ。

【請求項7】 メインスイッチング用トランジスタをオン／オフ駆動してDC-DC変換を実施するDC-DCコンバータを構成するために用いられる半導体集積回路装置であって、

前記DC-DCコンバータは、前記メインスイッチング用トランジスタのソース・ドレイン間に、ダイオードと第1コンデンサとからなる直列回路を並列に接続し、前記第1コンデンサにスイッチ回路を介して第2コンデンサを並列に接続し、前記メインスイッチング用トランジスタのオン／オフに同期して、前記スイッチ回路により前記各コンデンサを接続又は切り離すことにより、前記メインスイッチング用トランジスタを駆動するためのゲート電圧を生成するものであり、

前記スイッチ回路を、前記メインスイッチング用トランジスタの駆動信号を生成するための回路とともに1チップ上に搭載したことを特徴とする半導体集積回路装置。

【請求項8】 メインスイッチング用トランジスタをオン／オフ駆動してDC-DC変換を実施するDC-DCコンバータを構成するために用いられる半導体集積回路装置であって、

前記DC-DCコンバータは、前記メインスイッチング用トランジスタのソース・ドレイン間に、ダイオードと第1コンデンサとからなる直列回路を並列に接続し、前記第1コンデンサにスイッチ回路を介して第2コンデンサを並列に接続し、前記メインスイッチング用トランジスタのオン／オフに同期して、前記スイッチ回路により前記各コンデンサを接続又は切り離すことにより、前記メインスイッチング用トランジスタを駆動するためのゲート電圧を生成するものであり、

前記スイッチ回路を、前記メインスイッチング用トランジスタとともに1チップ上に搭載したことを特徴とする半導体集積回路装置。

【請求項9】 前記第1コンデンサは、前記メインスイッチング用トランジスタのオフ時に、該メインスイッチング用トランジスタに供給される入力電圧によって前記ダイオードを介して充電され、

前記第2コンデンサは、前記メインスイッチング用トランジスタのオン時に、前記スイッチ回路により第1コンデンサと並列に接続されて該第1コンデンサにより充電され、その第2コンデンサの電圧が前記メインスイッチング用トランジスタを駆動するドライブ回路の駆動電圧として供給され、

前記第2コンデンサの電圧を監視する電圧監視回路と、その電圧監視回路の出力信号に基づいて、前記スイッチ回路をオン／オフするスイッチ制御回路とを搭載したことを特徴とする請求項7又は8に記載の半導体集積回路装置。

【請求項10】 メインスイッチング用トランジスタをオン／オフ駆動してDC-DC変換を実施するDC-DCコンバータを内蔵した電子機器であって、

前記DC-DCコンバータは、前記メインスイッチング用トランジスタのソース・ドレイン間に、ダイオードと第1コンデンサとからなる直列回路を並列に接続し、前記第1コンデンサにスイッチ回路を介して第2コンデンサを並列に接続

し、前記メインスイッチング用トランジスタのオン／オフに同期して、前記スイッチ回路により前記各コンデンサを接続又は切り離すことにより、前記メインスイッチング用トランジスタを駆動するためのゲート電圧を生成するものであることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、DC-DCコンバータの制御回路及びDC-DCコンバータに関するものである。

【0002】

ノート型パソコンやゲーム機器などの電子機器には、複数の半導体集積回路装置が組み込まれており、半導体集積回路装置に供給する動作電圧を一定に保つために、DC-DCコンバータを用いて変動する電池電圧の定電圧化が図られている。このDC-DCコンバータの変換効率が電子機器における電池稼働時間を左右するため、その変換効率を高める技術が必要となっている。

【0003】

【従来の技術】

従来、電池で動作する携帯型の電子機器では、内部回路に供給する動作電圧を一定に保つために、電池電圧から定電圧（動作電圧）に変換するDC-DCコンバータが搭載されている（例えば、特許文献1～3参照）。その電子機器を普及させるためには、DC-DCコンバータの変換効率を向上させることが必要となっている。なぜなら、DC-DCコンバータの変換効率が電子機器の電池稼働時間を左右するからである。例えば、消費電力が1Whである電子機器において、10Whの電池で動作させる場合、DC-DCコンバータの効率が理想的な100%であれば、10時間動作させることができるが、DC-DCコンバータの効率が50%であるときには、電子機器の電池稼働時間は5時間に半減してしまう。

【0004】

具体的に、スイッチングレギュレータ方式のDC-DCコンバータでは、同期

整流方式を採用したり、メインスイッチング用トランジスタとしてN型のFET（電界効果トランジスタ）を用いたりすることで変換効率の改善が図られている（例えば、特許文献4参照）。

【0005】

同期整流方式は、DC-DCコンバータにおいて出力を整流するための回路であるフライホイールダイオードの代わりにFETを用いる方式であり、整流回路における電圧降下を改善することで高効率化を図ることができる。この同期整流方式は、特に出力電圧が低いDC-DCコンバータにおいて、高い変換効率を実現するために必須の技術になっている。

【0006】

また、スイッチングレギュレータ方式のDC-DCコンバータでは、高い電圧から低い電圧に変換する降圧型のものが最も効率がよく、具体的には、95%～96%の高効率を達成しているものも知られている。

【0007】

図8には、同期整流方式の降圧型DC-DCコンバータの従来例を示す。このDC-DCコンバータ1は、電子機器（例えば、ノート型パソコン）に内蔵され、図示しないバッテリからの入力電圧V_{in}を変換し、CPUやその周辺回路を動作させるための出力電圧V_{out}を出力する。

【0008】

DC-DCコンバータ1は、1チップの半導体集積回路装置上に形成された制御回路2と複数個の外付け素子とから構成されている。

制御回路2の第1駆動信号SG1は、メインスイッチング用トランジスタ（具体的には、P型のFET）T1のゲートに供給され、該トランジスタT1のソースには、入力電圧V_{in}が供給される。メインスイッチング用トランジスタT1のドレインは、同期整流用トランジスタ（具体的には、N型のFET）T2のドレインに接続される。同期整流用トランジスタT2のゲートには、制御回路2の第2駆動信号SG2が入力され、該トランジスタT2のソースはグランドに接続されている。

【0009】

また、メインスイッチング用トランジスタT1のドレインはチョークコイルL1を介して出力端子3に接続されている。出力端子3は平滑用コンデンサC1を介してグランドに接続されている。さらに、メインスイッチング用トランジスタT1のドレインはライホイールダイオードD1のカソードに接続され、そのダイオードD1のアノードはグランドに接続されている。

【0010】

制御回路2は、分圧抵抗R1, R2、誤差増幅器4、三角波発振器5、PWM比較器6、ドライブ回路7a, 7bを備え、前記第1及び第2駆動信号SG1, SG2を出力することにより、各トランジスタT1, T2のスイッチング動作を制御する。

【0011】

制御回路2において、出力電圧 V_{out} が分圧抵抗R1, R2により分圧され、その分圧電圧が誤差増幅器4の反転入力端子に入力される。誤差増幅器4の非反転入力端子には基準電圧 e_1 が入力される。誤差増幅器4は、出力電圧 V_{out} に応じた分圧電圧と基準電圧 e_1 とを比較し、その電圧差を増幅した出力信号A1を出力する。

【0012】

誤差増幅器4の出力信号A1はPWM比較器6の非反転入力端子に入力され、該PWM比較器6の反転入力端子には三角波発振器5が発振した所定周期の三角波信号が入力される。PWM比較器6は、誤差増幅器4の出力信号A1と三角波発振器5の三角波信号とを比較し、その比較結果に基づく所定デューティ比の出力信号P1を出力する。このPWM比較器6の出力信号P1によって、メインスイッチング用トランジスタT1は、出力電圧 V_{out} を定常状態に保つように所定周波数でオン・オフ制御される。

【0013】

図9は制御回路2の動作波形図である。

制御回路2において、誤差増幅器4の出力信号A1の電圧は、出力電圧 V_{out} に応じた分圧電圧（分圧抵抗R1, R2による分圧電圧）と基準電圧 e_1 との電圧差が大きいと変動が大きくなり、分圧電圧と基準電圧 e_1 との電圧差が小さ

いと変動が小さくなる。

【0014】

PWM比較器6は、誤差増幅器4の出力信号A1よりも三角波信号が低くなる場合に出力信号P1をHレベルとし、出力信号A1よりも三角波信号が高くなる場合に出力信号P1をLレベルとする。従って、誤差増幅器4の出力信号A1の電圧が上昇すると、PWM比較器6の出力パルス幅（出力信号P1がHレベルとなるパルス幅）が長くなる。

【0015】

このPWM比較器6の出力信号P1は、ドライブ回路（具体的には、インバータ回路）7aを介してメインスイッチング用トランジスタT1のゲートに第1駆動信号SG1として反転入力される。そのため、PWM比較器6の出力パルス幅が長くなると、メインスイッチング用トランジスタT1のオン時間が長くなり、逆にPWM比較器6の出力パルス幅が短くなると、メインスイッチング用トランジスタT1のオン時間が短くなる。

【0016】

DC-DCコンバータ1では、PWM比較器6の出力信号P1によって、出力電圧Voutが基準電圧e1及び分圧抵抗R1, R2により設定される定電圧となるようにメインスイッチング用トランジスタT1のオン／オフが制御される。

【0017】

また、PWM比較器6は、前記出力信号P1に対して論理レベルが逆である出力信号P2を出力する。つまり、各出力信号P1, P2は互いに相補となるパルス信号としてPWM比較器6から出力される。PWM比較器6の出力信号P2は、ドライブ回路7bを介して第2駆動信号SG2として同期整流用トランジスタT2のゲートに入力される。

【0018】

従って、メインスイッチング用トランジスタT1のオン時に同期整流用トランジスタT2がオフされ、メインスイッチング用トランジスタT1のオフ時に同期整流用トランジスタT2がオンされる。すなわち、制御回路2から出力される第1及び第2駆動信号SG1, SG2によって、メインスイッチング用トランジス

タT1及び同期整流用トランジスタT2は交互にオンされる。

【0019】

メインスイッチング用トランジスタT1のスイッチング動作により、そのトランジスタT1の出力電流は、チョークコイルL1及び平滑用コンデンサC1により平滑される。ここで、メインスイッチング用トランジスタT1のオン時には、入力電圧Vinは該トランジスタT1を介してLC回路（チョークコイルL1と平滑用コンデンサC1とからなる平滑回路）に供給される。メインスイッチング用トランジスタT1がオフされると、フライホイールダイオードD1を介して電流経路が形成される。このとき、メインスイッチング用トランジスタT1のオン時にチョークコイルL1に蓄積されたエネルギーが出力端子3側へ放出される。

【0020】

出力端子3の出力電圧Voutは、次式により表される。

$$V_{out} = V_{in} \times T_{on} / (T_{on} + T_{off})$$

ここで、TonはトランジスタT1がオンとなる期間（図9における出力信号P1のオン時間）、ToffはトランジスタT1がオフとなる期間（図9における出力信号P1のオフ時間）である。

【0021】

従って、バッテリの消耗や電子機器の使用環境等によって入力電圧Vinが変動したとしても、出力信号P1のデューティサイクルを制御することによって、出力電圧Voutを定電圧に保つように補償することができる。

【0022】

また、DC-DCコンバータ1では、メインスイッチング用トランジスタT1がオフされるとき、前記第2駆動信号SG2により同期整流用トランジスタT2がオンされて、フライホイールダイオードD1の順方向電圧降下分をクランプして電圧降下を軽減し、平滑効率を向上させている。

【0023】

ところで、上述したDC-DCコンバータ1では、メインスイッチング用トランジスタT1としてP型のFETを用いている。これに対し、図10に示すDC-DCコンバータ1aのように、メインスイッチング用トランジスタT1として

N型のFETを用いると、メインスイッチング用トランジスタT1におけるオン抵抗が小さくなり、電力損失を低減することが可能となる。

【0024】

DC-DCコンバータ1aのメインスイッチング用トランジスタT1としてN型のFETを用いる場合、該トランジスタT1を駆動するための第1駆動信号SG1として入力電圧Vinよりも高い電圧が必要になる。そのため、このDC-DCコンバータ1aでは、メインスイッチング用トランジスタT1がオン／オフするときにそのソース電位がグランド電位から入力電圧Vinの間でふれるのを利用して、チャージポンプによりトランジスタT1の駆動電圧を生成するようにしている。

【0025】

具体的には、PWM比較器6の出力信号P1はドライブ回路8aを介して第1駆動信号SG1としてメインスイッチング用トランジスタT1のゲートに入力され、出力信号P2はドライブ回路8bを介して第2駆動信号SG2として同期整流用トランジスタT2のゲートに入力されている。

【0026】

メインスイッチング用トランジスタT1のドレイン・ソース間には、ダイオードD2とコンデンサC3とからなる直列回路が並列に接続されている。ここで、ダイオードD2のカソードがコンデンサC3に接続され、その接続部はドライブ回路8aの電源端子に接続されている。また、ダイオードD2のアノードは、ドライブ回路8bの電源端子に接続されている。さらに、ダイオードD2のアノードはコンデンサC2を介してグランドに接続されている。

【0027】

なお、DC-DCコンバータ1aにおける他の回路構成は図8のDC-DCコンバータ1と同じであるのでその説明を省略する。

このDC-DCコンバータ1aにおいて、メインスイッチング用トランジスタT1がオフ、同期整流用トランジスタT2がオンであるとき、メインスイッチング用トランジスタT1のソース電位はグランド電位となる。このとき、ダイオードD2を介してコンデンサC3に電流が流れ、コンデンサC3は、その電圧が入

力電圧 V_{in} と等しくなるまで充電される。次いで、コンデンサ C3 の充電電圧を利用して、ドライブ回路 8a から駆動信号 SG1 が出力されることでメインスイッチング用トランジスタ T1 がオンする。

【0028】

メインスイッチング用トランジスタ T1 がオンすると、該トランジスタ T1 のソース電位が入力電圧 V_{in} まで上昇する。このとき、コンデンサ C3 はトランジスタ T1 のソースに接続されているので、該コンデンサ C3 からドライブ回路 8a に供給される電圧も上昇して入力電圧 V_{in} よりも高くなる。ここで、トランジスタ T1 のソース電位が上昇したとしても、該ソース電位に対する第 1 駆動信号 SG1 の電圧は変化せず入力電圧 V_{in} となっている。

【0029】

そして、その第 1 駆動信号 SG1 によりメインスイッチング用トランジスタ T1 が駆動される。なおこのとき、ダイオード D2 は、電圧が入力電圧 V_{in} よりも高くなったコンデンサ C3 の電荷が入力電圧 V_{in} 側（バッテリ側）に逆流するのを防止する逆流防止回路として機能する。

【0030】

このように、DC-DC コンバータ 1a におけるメインスイッチング用トランジスタ T1 は、入力電圧 V_{in} により駆動されることとなる。この場合、メインスイッチング用トランジスタ T1 のゲート容量による電力損失 PW は次の式で表される。

【0031】

$$PW = 1/2 \times f \times C \times V_{in}^2$$

ここで、f はスイッチング周波数であり、C はメインスイッチング用トランジスタ T1 のゲート容量である。また、「^」はベキ乗を表す。

【0032】

すなわち、トランジスタ T1 のゲート容量 C による電力損失 PW は、スイッチング周波数 f に比例するとともに入力電圧 V_{in} の二乗に比例する。

そのため、メインスイッチング用トランジスタ T1 の駆動電圧として、入力電圧 V_{in} をそのまま利用するのではなく、リニアレギュレータを用いて適正な電

圧値まで降圧した電圧を利用することで、ゲート容量Cによる電力損失Pwを低減する技術が実用化されている。

【0033】

図11には、そのリニアレギュレータ9を用いたDC-DCコンバータ1bの従来例を示す。

DC-DCコンバータ1bにおいて、リニアレギュレータ9には入力電圧Vi_nが入力されている。リニアレギュレータ9の出力端子は、ダイオードD2のアノードに接続されるとともに、ドライブ回路8bの電源端子に接続されている。なお、他の回路構成は図10のDC-DCコンバータ1aと同じである。

【0034】

【特許文献1】

特開2000-69746号公報

【特許文献2】

特開2000-184612号公報

【特許文献3】

特開2001-352750号公報

【特許文献4】

特開2000-197349号公報 (第7, 8頁、第8図)

【0035】

【発明が解決しようとする課題】

ところが、DC-DCコンバータ1bの大出力化、高周波化が図られる場合、メインスイッチング用トランジスタT1のゲートに流入するゲート電流が増大するため、リニアレギュレータ9における発熱の問題が生じてしまう。

【0036】

また、電力損失を低減するために、図11のDC-DCコンバータ1bにおいて破線で示すように、リニアレギュレータ9と出力端子3との間にダイオードD3を追加してもよい。この場合、DC-DCコンバータ1bの起動時には、リニアレギュレータ9の出力が駆動電圧として使用され、出力端子3から定電圧の出力電圧Voutが输出される時には、その出力電圧Voutが駆動電圧として使

用される。この方法は、DC-DCコンバータ1bの出力電圧V_{out}がメインスイッチング用トランジスタT1の駆動電圧として最適な電圧値になる場合には、ゲート容量Cによる電力損失PWを低減する上で好ましいものとなる。

【0037】

しかし、DC-DCコンバータには、分圧抵抗R1, R2を外付け素子として制御回路2の外部に設け、各抵抗R1, R2の抵抗値を変更することにより、出力電圧V_{out}を任意に設定できるようにしたものも実用化されている。このようなDC-DCコンバータでは、その出力電圧V_{out}がメインスイッチング用トランジスタT1の駆動電圧の最適値に必ずしもなることはなく、ダイオードD3を追加するといった技術を使用できない。

【0038】

また特に、電子機器に搭載される半導体集積回路装置の省電力化が図られ、年々、DC-DCコンバータの低電圧化が進んでいるため、そのDC-DCコンバータの出力電圧をそのままメインスイッチング用トランジスタT1の駆動電圧として使用できなくなってきた。

【0039】

本発明は上記問題点を解決するためになされたものであって、その目的は、リニアレギュレータ回路を用いることなく、高い変換効率を実現することができるDC-DCコンバータの制御方法、DC-DCコンバータ、半導体集積回路装置、及び電子機器を提供することにある。

【0040】

【課題を解決するための手段】

上記目的を達成するため、請求項1, 3, 7, 8, 10に記載の発明では、メインスイッチング用トランジスタをオン／オフ駆動してDC-DC変換を実施するDC-DCコンバータにおいて、メインスイッチング用トランジスタのソース・ドレイン間には、ダイオードと第1コンデンサとからなる直列回路が並列に接続される。また、第1コンデンサにはスイッチ回路を介して第2コンデンサが並列に接続される。そして、メインスイッチング用トランジスタのオン／オフに同期して、スイッチ回路により2つのコンデンサが接続又は切り離される。これに

より、メインスイッチング用トランジスタを駆動するためのゲート電圧が生成される。このようにすると、2つのコンデンサの容量差を利用して、メインスイッチング用トランジスタに供給される入力電圧から所望のゲート電圧を生成することが可能となる。

【0041】

請求項2, 4, 9に記載の発明によれば、第1コンデンサは、メインスイッチング用トランジスタのオフ時に、該メインスイッチング用トランジスタに供給される入力電圧によってダイオードを介して充電される。そして、メインスイッチング用トランジスタのオン時にスイッチ回路がオンされ各コンデンサが並列に接続されると、第1コンデンサにより第2コンデンサが充電される。この第2コンデンサの電圧は、メインスイッチング用トランジスタを駆動するための駆動電圧（ゲート電圧）としてドライブ回路に供給される。

【0042】

請求項5, 9に記載の発明によれば、ドライブ回路に駆動電圧を供給する第2コンデンサの電圧が監視され、その電圧に応じてスイッチ回路がオン/オフ制御される。これにより、第2コンデンサの電圧が規定範囲内となるように制御され、メインスイッチング用トランジスタを駆動するための所望のゲート電圧が生成される。

【0043】

請求項6に記載の発明によれば、メインスイッチング用トランジスタを駆動して入力電圧を所望の電圧値に変換するDC-DCコンバータにおいて、メインスイッチング用トランジスタのソース・ドレイン間には入力電圧を分圧する第1コンデンサと第2コンデンサとが設けられる。そして、第1コンデンサと第2コンデンサとで分圧された入力電圧によって、メインスイッチング用トランジスタの駆動電圧が生成される。

【0044】

請求項7に記載の発明によれば、スイッチ回路がメインスイッチング用トランジスタの駆動信号を生成するための回路とともに1チップの半導体集積回路装置上に搭載されるので、該半導体集積回路装置を用いることにより、DC-DCコ

ンバータの小型化が可能となる。

【0045】

請求項8に記載の発明によれば、スイッチ回路がメインスイッチング用トランジスタとともに1チップの半導体集積回路装置上に搭載されるので、該半導体集積回路装置を用いることにより、DC-DCコンバータの小型化が可能となる。

【0046】

請求項9に記載の発明によれば、第2コンデンサの電圧を監視する電圧監視回路と、その電圧監視回路の出力信号に基づいて、前記スイッチ回路をオン／オフするスイッチ制御回路とが1チップの半導体集積回路装置上に搭載される。よって、この半導体集積回路装置を用いることにより、DC-DCコンバータの小型化が可能となる。

【0047】

請求項10に記載の発明によれば、DC-DCコンバータの高効率化が図られることにより、電子機器の電池稼働時間を長くすることができる。

【0048】

【発明の実施の形態】

(第1実施形態)

以下、本発明をDC-DCコンバータに具体化した第1実施形態を図面に従つて説明する。

【0049】

尚、説明の便宜上、従来例と同様の構成については同一の符号を付してその説明を一部省略する。

図1は、本実施形態のDC-DCコンバータの回路図である。DC-DCコンバータ10は、電子機器（例えば、ノート型パソコン）に内蔵され、バッテリBからの入力電圧V_{in}を変換し、CPU等の内部回路11を動作させるための定電圧の出力電圧V_{out}を出力する。

【0050】

DC-DCコンバータ10は、1チップの半導体集積回路装置上に形成された制御回路12、それに外付けされるメインスイッチング用トランジスタT1、同

期整流用トランジスタT2、チョークコイルL1、ライホイールダイオードD1、平滑用コンデンサC1、ダイオードD2、コンデンサC2、C3を備える。このDC-DCコンバータ10におけるメインスイッチング用トランジスタT1及び同期整流用トランジスタT2は、N型のFET（電界効果トランジスタ）である。

【0051】

先ず、外付け素子について説明すると、メインスイッチング用トランジスタT1と同期整流用トランジスタT2とは直列に接続され、メインスイッチング用トランジスタT1のドレインには、バッテリBから直流電圧である入力電圧V_{in}が供給される。メインスイッチング用トランジスタT1のソースは同期整流用トランジスタT2のドレインに接続され、同期整流用トランジスタT2のソースはグランドに接続されている。

【0052】

メインスイッチング用トランジスタT1のソース、すなわち各トランジスタT1、T2の接続点はチョークコイルL1と平滑用コンデンサC1とからなる平滑回路を介して出力端子3に接続されている。また、各トランジスタT1、T2の接続点には、ライホイールダイオードD1のカソードが接続され、該ダイオードD1のアノードはグランドに接続されている。

【0053】

メインスイッチング用トランジスタT1のドレイン・ソース間には、ダイオードD2とコンデンサC2とからなる直列回路が並列に接続されている。この直列回路では、ダイオードD2のアノードがメインスイッチング用トランジスタT1のドレインに接続され、ダイオードD2のカソードがコンデンサC2に接続されている。また、メインスイッチング用トランジスタT1のソースは、コンデンサC3を介して制御回路12に接続されている。

【0054】

次に、制御回路12の構成について説明する。

制御回路12は、分圧抵抗R1、R2、誤差増幅器4、三角波発振器5、PWM比較器6、ドライブ回路8a、8b、スイッチ回路としてのトランジスタ（具

体的には、P型のFET) T3、電圧比較器13、 NAND回路14を備えている

。

【0055】

この制御回路12において、分圧抵抗R1、R2、誤差増幅器4、三角波発振器5、PWM比較器6、ドライブ回路8a、8bの回路構成は、上述した従来技術の制御回路2a(図10参照)と同じである。ここでは、その従来技術との相違点を中心に説明する。

【0056】

すなわち、トランジスタT3のソースは前記ダイオードD2のカソードとコンデンサC2との接続点に接続され、トランジスタT3のドレインはコンデンサC3に接続されている。このトランジスタT3がオンすると、コンデンサC2とコンデンサC3とが並列に接続される。

【0057】

また、トランジスタT3のドレインは、ドライブ回路8aの電源端子に接続されるとともに電圧比較器13の反転入力端子に接続されている。従って、電圧比較器13の反転入力端子には、コンデンサC3の電圧(ドライブ回路8aの駆動電圧)が入力される。また、電圧比較器13の非反転入力端子には基準電圧e2が入力される。

【0058】

電圧比較器13は、コンデンサC3の電圧を監視する回路であって、コンデンサC3の電圧と基準電圧e2とを比較して、コンデンサC3の電圧が低いときはHレベルの信号を出力し、コンデンサC3の電圧が高いときにはLレベルの信号を出力する。電圧比較器13の出力信号は NAND回路14の一方の入力端子に入力され、NAND回路14の他方の入力端子には、PWM比較器6の出力信号P1が入力される。そして、NAND回路14の出力信号はトランジスタT3のゲートに入力される。

【0059】

NAND回路14は、PWM比較器6の出力信号P1がHレベルであり、かつ電圧比較器13の出力信号がHレベルであるときに、Lレベルの出力信号を出力し

てトランジスタT3をオンにする。これにより、各コンデンサC2、C3が並列に接続される。また、PWM比較器6の出力信号P1又は電圧比較器13の出力信号がLレベルであるときに、Hレベルの出力信号を出力してトランジスタT3をオフにする。これにより、各コンデンサC2、C3の接続が切断される。

【0060】

本実施形態において、ダイオードD2、コンデンサC2、C3、トランジスタT3、電圧比較器13、 NAND回路14によりゲート電圧生成手段が構成されている。

【0061】

次に、DC-DCコンバータ10の動作について説明する。

DC-DCコンバータ10において、メインスイッチング用トランジスタT1がオフ、同期整流用トランジスタT2がオンである場合（PWM比較器6の出力信号P1がLレベル、出力信号P2がHレベルである場合）、メインスイッチング用トランジスタT1のソース電位はグランド電位となる。この場合、ダイオードD2を介してコンデンサC2が充電され、コンデンサC2の電圧は入力電圧Vi_nとなる。このとき、出力信号P1がLレベルであるため、NAND回路14はHレベルの信号を出力してトランジスタT3をオフする。よって、コンデンサC2とコンデンサC3とが切り離され、コンデンサC3は充電されない。

【0062】

次に、同期整流用トランジスタT2がオフし、メインスイッチング用トランジスタT1がオンすると、メインスイッチング用トランジスタT1のソース電位が入力電圧Vi_nまで上昇するので、ダイオードD2は逆バイアス状態となり、ダイオードD2がオフしてコンデンサC2への充電は停止する。

【0063】

このとき、出力信号P1はHレベルであるので、コンデンサC3の電圧が基準電圧e2よりも低く電圧比較器13の出力信号がHレベルである場合には、NAND回路14はLレベルの信号を出力してトランジスタT3をオンにする。これにより、コンデンサC2とコンデンサC3とが並列接続になり、コンデンサC3はコンデンサC2によって充電される。

【0064】

一方、コンデンサC3の電圧が基準電圧e2よりも高いときには、電圧比較器1.3の出力信号がLレベルになるので、 NAND回路1.4はHレベルの信号を出力してトランジスタT3をオフにする。よって、コンデンサC2とコンデンサC3とは切り離されたままとなるため、コンデンサC3の充電は行われない。

【0065】

次に、メインスイッチング用トランジスタT1を駆動するためのゲート電圧Vg、すなわち、コンデンサC3からドライブ回路8aに供給される駆動電圧を作成するための動作原理について図2の等価回路を用いて説明する。なお、図2におけるスイッチSWは、図1におけるダイオードD2とトランジスタT3に相当する。

【0066】

図2に示すように、スイッチSWを入力側端子Siに接続したとき、コンデンサC2に蓄えられる電荷Qは次式により表される。

$$Q = C_{a2} \times V_{in}$$

ここで、C_{a2}はコンデンサC2の容量値である。

【0067】

次に、スイッチSWを出力側端子Soに接続すると、コンデンサC2に蓄えられた電荷Qの一部がコンデンサC3に移動する。このとき、電荷Qの総量は変化しないため、次式の関係が成り立つ。

【0068】

$$Q = (C_{a2} + C_{a3}) \times Vg$$

ここで、C_{a3}はコンデンサC3の容量値である。

従って、出力側のゲート電圧Vgは次式により求められる。

【0069】

$$C_{a2} \times V_{in} = (C_{a2} + C_{a3}) \times Vg$$

$$Vg = C_{a2} / (C_{a2} + C_{a3}) \times V_{in}$$

このように、入力側に接続されるコンデンサC2の容量値C_{a2}と出力側に接続されるコンデンサC3の容量値C_{a3}との容量差を利用して、入力電圧V_{in}

から所望のゲート電圧 V_g に変換することが可能となる。

【0070】

図2の等価回路において、周波数 f ($= 1/T$) のスピードでスイッチ SW を切り替えた場合、入力側（コンデンサ C_2 ）から出力側（コンデンサ C_3 ）に流れる平均電流について説明する。

【0071】

すなわち、スイッチ SW を入力側端子 S_i に接続したときコンデンサ C_2 に蓄えられる電荷 Q_1 は、

$$Q_1 = C_{a2} \times V_{in}$$

であり、スイッチ SW を出力側端子 S_o に接続したときコンデンサ C_2 に蓄えられる電荷 Q_2 は、

$$Q_2 = C_{a2} \times V_g$$

である。従って、時間 T 秒間にコンデンサ C_2 からコンデンサ C_3 へ移動する電荷 Q は、

$$\begin{aligned} Q &= Q_1 - Q_2 \\ &= C_{a2} \times V_{in} - C_{a2} \times V_g \\ &= C_{a2} \times (V_{in} - V_g) \end{aligned}$$

となる。よって、平均電流 I は次式のように求められる。

【0072】

$$I = Q/T = C_{a2} \times (V_{in} - V_g) / T$$

このように、入力側に接続されるコンデンサ C_2 の容量値 C_{a2} により、出力電流（駆動回路 $8a$ への供給電流）を所望の値に調整することが可能であり、消費電力が低減される。

【0073】

さらに、DC-DCコンバータ10の動作について図3の等価回路を用いて詳述する。なお、図3 (a) は、メインスイッチング用トランジスタ T_1 がオフ（同期整流用トランジスタ T_2 がオン）のときの等価回路であり、図3 (b) は、メインスイッチング用トランジスタ T_1 がオン（同期整流用トランジスタ T_2 がオフ）のときの等価回路である。

【0074】

図3 (a)において、メインスイッチング用トランジスタT1のソース電位はグランド電位であり、コンデンサC2, C3はグランドに接地される。そのため、ダイオードD2を介してコンデンサC2が充電される。このとき、スイッチSW (トランジスタT3) はオフであり、コンデンサC3は回路全体から切り離された状態にある。

【0075】

一方、図3 (b)において、メインスイッチング用トランジスタT1のソース電位は入力電圧 V_{in} であり、ダイオードD2には逆バイアスが加わるため、コンデンサC2, C3は入力電圧 V_{in} に対して切り離される。また、スイッチSW (トランジスタT3) はオンであり、コンデンサC2とコンデンサC3とが並列に接続されることで、コンデンサC2によってコンデンサC3が充電される。

【0076】

図3 (a) と図3 (b) の状態を繰り返すことにより、コンデンサC3は所定電圧 (基準電圧 e_2) まで充電される。このとき、電圧比較器13によって、コンデンサC3の電圧が必要以上に高くならないように監視され、コンデンサC3の電圧が基準電圧 e_2 以上となる場合には、トランジスタT3がオフされることでコンデンサC3の充電が禁止される。

【0077】

以上記述したように、上記実施形態によれば、下記の効果を奏する。

(1) 2つのコンデンサC2, C3を利用して入力電圧 V_{in} を分圧することで、メインスイッチング用トランジスタT1を駆動するためのゲート電圧 V_g が生成される。このようにすれば、従来のようにリニアレギュレータを用いることなく、最適なゲート電圧 V_g が生成されるので、DC-DCコンバータ10の変換効率を高めることができる。

【0078】

(2) 電圧監視回路としての電圧比較器13によって、ドライブ回路8aに駆動電圧を供給するコンデンサC3の電圧が監視され、その電圧に応じてスイッチ回路としてのトランジスタT3がオン/オフ制御される。これにより、コンデン

サC3の電圧が規定範囲内となるように制御され、メインスイッチング用トランジスタT1を駆動するための所望のゲート電圧Vgを生成することができる。

【0079】

(3) ゲート電圧Vgを生成するための回路（駆動電圧生成手段としてのトランジスタT3、電圧比較器13、 NAND回路14）が、1チップの半導体集積回路装置である制御回路12に内蔵されている。この制御回路12を用いることにより、DC-DCコンバータ10の小型化を図ることができる。

【0080】

(4) 同じサイズのN型のFETとP型のFETとを比較した場合、N型のFETの方がP型のFETよりもオン抵抗が42%小さくなる。従って、本実施形態のように、メインスイッチング用トランジスタT1としてN型のFETを用いると、オン抵抗による電力損失を低減することができる。

【0081】

(5) DC-DCコンバータ10の高効率化が図られることにより、それを搭載する電子機器の電池稼働時間を長くすることができる。また、DC-DCコンバータ10を用いることにより、電子機器の小型化を図ることができる。

【0082】

(第2実施形態)

以下、本発明を具体化した第2実施形態を説明する。但し、以下には第1実施形態との相違点を中心に説明する。

【0083】

図4に示すように、本実施形態のDC-DCコンバータ10aでは、メインスイッチング用トランジスタT1としてP型のFETを用いている。この場合、入力電圧Vinよりも低いゲート電圧を入力することでメインスイッチング用トランジスタT1を駆動する。ここで、ゲート電圧をグランド電位まで下げると、電圧の二乗に比例してゲート容量による電力損失が発生するので、DC-DCコンバータ10aにおいては、入力電圧Vinよりも少し低い適切なゲート電圧でメインスイッチング用トランジスタT1を駆動するように構成している。

【0084】

詳述すると、メインスイッチング用トランジスタT1のソース・ドレイン間に、コンデンサC2とダイオードD2とからなる直列回路が並列に接続されている。この直列回路では、ダイオードD2のカソードがメインスイッチング用トランジスタT1のドレインに接続され、ダイオードD2のアノードがコンデンサC2に接続されている。また、メインスイッチング用トランジスタT1のソースは、コンデンサC3を介して制御回路12aに接続されている。

【0085】

制御回路12aは、第1実施形態の制御回路12と同様に、分圧抵抗R1, R2、誤差増幅器4、三角波発振器5、PWM比較器6、ドライブ回路8b、トランジスタT3、電圧比較器13、 NAND回路14を備えている。また、制御回路12aでは、メインスイッチング用トランジスタT1を駆動するために、制御回路12におけるドライブ回路8aに代えて、ドライブ回路（具体的にはインバータ回路）8cを備えている。

【0086】

制御回路12aにおいて、トランジスタT3のドレインは前記ダイオードD2のアノードとコンデンサC2との接続点に接続され、トランジスタT3のソースはコンデンサC3に接続されている。このトランジスタT3がオンすると、コンデンサC2とコンデンサC3とが並列に接続される。

【0087】

トランジスタT3のソースは、ドライブ回路8cの低電位側の電源端子に接続されるとともに電圧比較器13の反転入力端子に接続されている。従って、電圧比較器13の反転入力端子には、コンデンサC3の電圧（ドライブ回路8aの駆動電圧）が入力される。また、電圧比較器13の非反転入力端子には基準電圧e2が入力される。

【0088】

電圧比較器13は、コンデンサC3の電圧を監視する回路であって、コンデンサC3の電圧と基準電圧e2とを比較して、コンデンサC3の電圧が小さいときにはHレベルの信号を出力し、コンデンサC3の電圧が大きいときにはLレベルの信号を出力する。電圧比較器13の出力信号はNAND回路14の一方の入力端

子に入力され、 NAND回路14の他方の入力端子には、 PWM比較器6の出力信号P1が入力される。そして、 NAND回路14の出力信号はトランジスタT3のゲートに入力される。

【0089】

NAND回路14は、 PWM比較器6の出力信号P1がHレベルであり、かつ電圧比較器13の出力信号がHレベルであるときに、 Lレベルの出力信号を出力してトランジスタT3をオンにする。これにより、各コンデンサC2, C3が並列に接続される。また、 PWM比較器6の出力信号P1又は電圧比較器13の出力信号がLレベルであるときに、 Hレベルの出力信号を出力してトランジスタT3をオフにする。これにより、各コンデンサC2, C3の接続が切断される。

【0090】

本実施形態において、ダイオードD2、コンデンサC2, C3、トランジスタT3、電圧比較器13、NAND回路14によりゲート電圧生成手段が構成されている。

【0091】

次に、DC-DCコンバータ10aの動作について図5の等価回路を用いて説明する。なお、図5(a)は、メインスイッチング用トランジスタT1がオフ(同期整流用トランジスタT2がオン)のときの等価回路であり、図5(b)は、メインスイッチング用トランジスタT1がオン(同期整流用トランジスタT2がオフ)のときの等価回路である。

【0092】

図5(a)において、メインスイッチング用トランジスタT1のドレイン電位はグランド電位であり、コンデンサC2はダイオードD2を介してグランドに接続される。そのため、コンデンサC2がダイオードD2を介して充電される。このとき、スイッチSW(トランジスタT3)はオフであり、コンデンサC3は回路全体から切り離された状態にある。

【0093】

一方、図5(b)において、メインスイッチング用トランジスタT1のドレイン電位は入力電圧V_{in}であり、ダイオードD2には逆バイアスが加わる。また

、スイッチSW（トランジスタT3）はオンであり、コンデンサC2とコンデンサC3とが並列に接続されることで、コンデンサC2によってコンデンサC3が充電される。

【0094】

この場合、第1実施形態と同様に、出力側のゲート電圧Vgは次式により求められる。

$$Vg = Ca2 / (Ca2 + Ca3) \times Vin$$

すなわち、入力側に接続されるコンデンサC2の容量値Ca2と出力側に接続されるコンデンサC3の容量値Ca3との容量差を利用して、入力電圧Vinから所望のゲート電圧Vgに変換することが可能となる。

【0095】

以上記述したように、上記実施形態によれば、下記の効果を奏する。

(1) 2つのコンデンサC2, C3を利用して入力電圧Vinを分圧することで、メインスイッチング用トランジスタT1を駆動するためのゲート電圧Vgが生成される。このようにすれば、最適なゲート電圧Vgが生成されるので、DC-DCコンバータ10aの変換効率を高めることができる。

【0096】

(2) 電圧比較器13によって、ドライブ回路8cの駆動電圧を供給するコンデンサC3の電圧が監視され、その電圧に応じてトランジスタT3がオン/オフ制御される。これにより、コンデンサC3の電圧が規定範囲内となるように制御され、所望のゲート電圧Vgを生成することができる。

【0097】

(3) 駆動電圧生成手段としてのトランジスタT3、電圧比較器13、 NAND回路14が、1チップの半導体集積回路装置である制御回路12aに内蔵されている。この制御回路12aを用いることにより、DC-DCコンバータ10aの小型化を図ることができる。

【0098】

上記実施の形態は、次に示すように変更することもできる。

・図6に示すDC-DCコンバータ10bや図7に示すDC-DCコンバータ

10cのよう、メインスイッチング用トランジスタT1を形成した半導体集積回路装置21a, 21bにゲート電圧作成回路を内蔵する構成を採用してもよい。

【0099】

具体的には、例えば、図6のDC-DCコンバータ10bは、半導体集積回路装置21a、制御回路22、外付け素子としてのチョークコイルL1、フライホイールダイオードD1、平滑用コンデンサC1、ダイオードD2、コンデンサC2, C3を備える。半導体集積回路装置21aは、メインスイッチング用トランジスタT1に加え、同期整流用トランジスタT2、ドライブ回路8a, 8b、ゲート電圧作成回路（電圧比較器13、 NAND回路14, トランジスタT3）を内蔵している。

【0100】

図7のDC-DCコンバータ10cも同様に、半導体集積回路装置21b、制御回路22、外付け素子としてのチョークコイルL1、フライホイールダイオードD1、平滑用コンデンサC1、ダイオードD2、コンデンサC2, C3を備える。半導体集積回路装置21bは、メインスイッチング用トランジスタT1に加え、同期整流用トランジスタT2、ドライブ回路8c, 8b、ゲート電圧作成回路（電圧比較器13、 NAND回路14, トランジスタT3）を内蔵している。

【0101】

また、DC-DCコンバータ10b, 10cにおける制御回路22は、分圧抵抗R1, R2、誤差増幅器4、三角波発振器5、PWM比較器6を備え、それらを1チップの半導体集積回路装置上に形成している。

【0102】

なお、DC-DCコンバータ10bの回路動作は、第1実施形態のDC-DCコンバータ10と同じである。また、図7のDC-DCコンバータ10cの回路動作は、第2実施形態のDC-DCコンバータ10aと同じである。

【0103】

これらDC-DCコンバータ10b, 10cでは、ゲート電圧Vgを生成するための回路（トランジスタT3、電圧比較器13、 NAND回路14）がメイン

イッティング用トランジスタT1とともに1チップの半導体集積回路装置21a, 21bに搭載されている。従って、半導体集積回路装置21a, 21bを用いることにより、DC-DCコンバータ10b, 10cの小型化を図ることができる。

【0104】

・図6及び図7に示すDC-DCコンバータ10b, 10cは、2つのチップ(半導体集積回路装置21a, 21bと制御回路22)で構成したが、それらを1つのチップで構成してもよい。

【0105】

・上記各実施形態において、制御回路12, 12a, 22には分圧抵抗R1, R2を内蔵するものであったが、制御回路12, 12a, 22の外部に分圧抵抗R1, R2を設けるようにしてもよい。この場合、分圧抵抗R1, R2の抵抗値を変更することにより、DC-DCコンバータの出力電圧を任意に設定できる。

【0106】

・上記各実施形態では同期整流方式のDC-DCコンバータ10, 10a, 10b, 10cに具体化したが、それに限定されるものではない。要は、スイッチングレギュレータ方式のDC-DCコンバータに具体化するものであればよい。例えば、第1実施形態のDC-DCコンバータ10において、制御回路12におけるドライブ回路8bが省略されるとともに、外付け素子としての同期整流用トランジスタT2が省略される。但し、上記各実施形態のように、同期整流方式のDC-DCコンバータの方がフライホイールダイオードD1における電力損失を低減できるので、変換効率を向上する上で好ましいものとなる。

【0107】

上記各実施形態のDC-DCコンバータ10, 10a, 10b, 10cでは、第1コンデンサC2にスイッチ回路(トランジスタT3)を介して第2コンデンサC3を並列接続するものであったが、これとは逆に、コンデンサC3にトランジスタT3を介してコンデンサC2を並列接続するように構成してもよい。つまり、コンデンサC3側にトランジスタT3を設けるのではなく、コンデンサC2側にトランジスタT3を設けるようにしてもよい。

【0108】

以上の様々な実施の形態をまとめると、以下のようになる。

(付記1) メインスイッチング用トランジスタをオン／オフ駆動してDC-DC変換を実施するDC-DCコンバータの制御方法であって、

前記メインスイッチング用トランジスタのソース・ドレイン間には、ダイオードと第1コンデンサとからなる直列回路を並列に接続し、前記第1コンデンサにスイッチ回路を介して第2コンデンサを並列に接続し、

前記メインスイッチング用トランジスタのオン／オフに同期して、前記スイッチ回路により前記各コンデンサを接続又は切り離すことにより、前記メインスイッチング用トランジスタを駆動するためのゲート電圧を生成するようにしたことを特徴とするDC-DCコンバータの制御方法。

(付記2) 前記メインスイッチング用トランジスタのオフ時に、前記第1コンデンサを、該メインスイッチング用トランジスタに供給される入力電圧により前記ダイオードを介して充電し、

前記メインスイッチング用トランジスタのオン時に、前記スイッチ回路により第1コンデンサと第2コンデンサとを並列に接続して前記第2コンデンサを充電し、その第2コンデンサの電圧を、前記メインスイッチング用トランジスタを駆動するドライブ回路の駆動電圧として供給することを特徴とする付記1に記載のDC-DCコンバータの制御方法。

(付記3) 前記第2コンデンサの電圧を監視して、その電圧に基づいて前記スイッチ回路を制御することを特徴とする付記2に記載のDC-DCコンバータの制御方法。

(付記4) 前記DC-DCコンバータは、前記メインスイッチング用トランジスタに直列に接続される同期整流用トランジスタを備え、その同期整流用トランジスタを、前記メインスイッチング用トランジスタのオン時にオフし、メインスイッチング用トランジスタのオフ時にオンすることを特徴とする付記1～3のいずれかに記載のDC-DCコンバータの制御方法。

(付記5) メインスイッチング用トランジスタをオン／オフ駆動してDC-DC変換を実施するDC-DCコンバータであって、

前記メインスイッチング用トランジスタのソース・ドレイン間に、ダイオードと第1コンデンサとからなる直列回路が並列に接続され、前記第1コンデンサにスイッチ回路を介して第2コンデンサが並列に接続され、前記メインスイッチング用トランジスタのオン／オフに同期して、前記スイッチ回路により前記各コンデンサを接続又は切り離すことにより、前記メインスイッチング用トランジスタを駆動するためのゲート電圧を生成するゲート電圧生成手段を有することを特徴とするDC-DCコンバータ。

(付記6) 前記第1コンデンサは、前記メインスイッチング用トランジスタのオフ時に、該メインスイッチング用トランジスタに供給される入力電圧によって前記ダイオードを介して充電され、

前記第2コンデンサは、前記メインスイッチング用トランジスタのオン時に、前記スイッチ回路により第1コンデンサと並列に接続されて該第1コンデンサにより充電され、その第2コンデンサの電圧が前記メインスイッチング用トランジスタを駆動するドライブ回路の駆動電圧として供給されることを特徴とする付記5に記載のDC-DCコンバータ。

(付記7) 前記第2コンデンサの電圧を監視する電圧監視回路と、その電圧監視回路の出力信号に基づいて、前記スイッチ回路をオン／オフするスイッチ制御回路とを備えたことを特徴とする付記6に記載のDC-DCコンバータ。

(付記8) 前記メインスイッチング用トランジスタに直列に接続される同期整流用トランジスタを備え、その同期整流用トランジスタは、前記メインスイッチング用トランジスタのオン時にオフされ、メインスイッチング用トランジスタのオフ時にオンされることを特徴とする付記5～7のいずれかに記載のDC-DCコンバータ。

(付記9) メインスイッチング用トランジスタを駆動して入力電圧を所望の電圧値に変換するDC-DCコンバータであって、

前記メインスイッチング用トランジスタのソース・ドレイン間に設けられた、入力電圧を分圧する第1コンデンサと第2コンデンサと、

前記第1コンデンサと第2コンデンサにより分圧された入力電圧により、メインスイッチング用トランジスタの駆動電圧を生成する駆動電圧生成手段と

を有することを特徴とするDC-DCコンバータ。

(付記10) メインスイッチング用トランジスタをオン／オフ駆動してDC-DC変換を実施するDC-DCコンバータを構成するために用いられる半導体集積回路装置であって、

前記DC-DCコンバータは、前記メインスイッチング用トランジスタのソース・ドレイン間に、ダイオードと第1コンデンサとからなる直列回路を並列に接続し、前記第1コンデンサにスイッチ回路を介して第2コンデンサを並列に接続し、前記メインスイッチング用トランジスタのオン／オフに同期して、前記スイッチ回路により前記各コンデンサを接続又は切り離すことにより、前記メインスイッチング用トランジスタを駆動するためのゲート電圧を生成するものであり、

前記スイッチ回路を、前記メインスイッチング用トランジスタの駆動信号を生成するための回路とともに1チップ上に搭載したことを特徴とする半導体集積回路装置。

(付記11) メインスイッチング用トランジスタをオン／オフ駆動してDC-DC変換を実施するDC-DCコンバータを構成するために用いられる半導体集積回路装置であって、

前記DC-DCコンバータは、前記メインスイッチング用トランジスタのソース・ドレイン間に、ダイオードと第1コンデンサとからなる直列回路を並列に接続し、前記第1コンデンサにスイッチ回路を介して第2コンデンサを並列に接続し、前記メインスイッチング用トランジスタのオン／オフに同期して、前記スイッチ回路により前記各コンデンサを接続又は切り離すことにより、前記メインスイッチング用トランジスタを駆動するためのゲート電圧を生成するものであり、

前記スイッチ回路を、前記メインスイッチング用トランジスタとともに1チップ上に搭載したことを特徴とする半導体集積回路装置。

(付記12) 前記第1コンデンサは、前記メインスイッチング用トランジスタのオフ時に、該メインスイッチング用トランジスタに供給される入力電圧によって前記ダイオードを介して充電され、

前記第2コンデンサは、前記メインスイッチング用トランジスタのオン時に、前記スイッチ回路により第1コンデンサと並列に接続されて該第1コンデンサに

より充電され、その第2コンデンサの電圧が前記メインスイッチング用トランジスタを駆動するドライブ回路の駆動電圧として供給され、

前記第2コンデンサの電圧を監視する電圧監視回路と、その電圧監視回路の出力信号に基づいて、前記スイッチ回路をオン／オフするスイッチ制御回路とを搭載したことを特徴とする付記10又は11に記載の半導体集積回路装置。

(付記13) 前記駆動信号を生成するための回路として、出力電圧を分圧する分圧抵抗と、該分圧抵抗による分圧電圧と基準電圧との電圧差を増幅して出力する誤差増幅器と、三角波信号を発振する三角波発振器と、前記三角波発振器の三角波信号と前記誤差増幅器の出力信号とを比較することで所定周期でオン／オフする信号を出力するPWM比較器とを搭載したことを特徴とする付記10に記載の半導体集積回路装置。

(付記14) 前記メインスイッチング用トランジスタに直列に接続される同期整流用トランジスタを搭載し、その同期整流用トランジスタは、前記メインスイッチング用トランジスタのオン時にオフされ、メインスイッチング用トランジスタのオフ時にオンされることを特徴とする付記11に記載の半導体集積回路装置。

(付記15) メインスイッチング用トランジスタをオン／オフ駆動してDC-DC変換を実施するDC-DCコンバータを内蔵した電子機器であって、

前記DC-DCコンバータは、前記メインスイッチング用トランジスタのソース・ドレイン間に、ダイオードと第1コンデンサとからなる直列回路を並列に接続し、前記第1コンデンサにスイッチ回路を介して第2コンデンサを並列に接続し、前記メインスイッチング用トランジスタのオン／オフに同期して、前記スイッチ回路により前記各コンデンサを接続又は切り離すことにより、前記メインスイッチング用トランジスタを駆動するためのゲート電圧を生成するものであることを特徴とする電子機器。

(付記16) 前記DC-DCコンバータは、前記メインスイッチング用トランジスタに直列に接続される同期整流用トランジスタを備え、その同期整流用トランジスタは、前記メインスイッチング用トランジスタのオン時にオフされメインスイッチング用トランジスタのオフ時にオンされることを特徴とする付記15に記載の電子機器。

【0109】

【発明の効果】

以上詳述したように、本発明によれば、リニアレギュレータを用いることなく、高い変換効率のDC-DCコンバータを実現することができる。

【図面の簡単な説明】

- 【図1】 第1実施形態のDC-DCコンバータを示す回路図である。
- 【図2】 第1実施形態の動作を説明するための等価回路図である。
- 【図3】 第1実施形態の動作を説明するための等価回路図である。
- 【図4】 第2実施形態のDC-DCコンバータを示す回路図である。
- 【図5】 第2実施形態の動作を説明するための等価回路図である。
- 【図6】 別のDC-DCコンバータを示す回路図である。
- 【図7】 別のDC-DCコンバータを示す回路図である。
- 【図8】 従来のDC-DCコンバータを示す回路図である。
- 【図9】 制御回路の動作波形図である。
- 【図10】 従来のDC-DCコンバータを示す回路図である。
- 【図11】 従来のDC-DCコンバータを示す回路図である。

【符号の説明】

- 8 a, 8 b, 8 c ドライブ回路
- 10, 10 a, 10 b, 10 c DC-DCコンバータ
- 12, 12 a 半導体集積回路装置としての制御回路
- 13 電圧監視回路としての電圧比較器
- 14 スイッチ制御回路としての NAND回路
- 21 a, 21 b 半導体集積回路装置
- C2 第1コンデンサ
- C3 第2コンデンサ
- D2 ダイオード
- T1 メインスイッチング用トランジスタ
- T2 同期整流用トランジスタ
- T3 スイッチ回路としてのトランジスタ

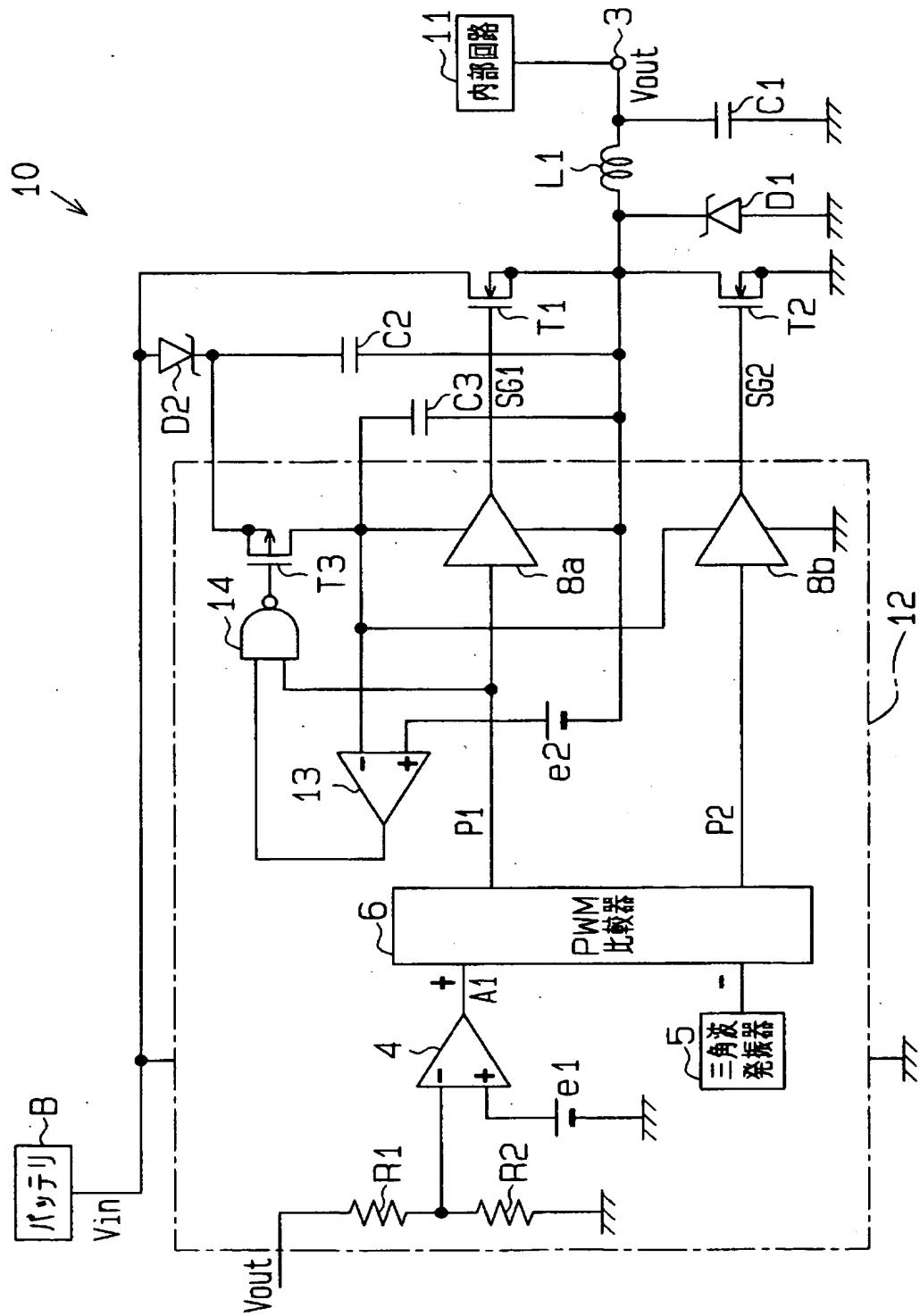
V_{in} 入力電圧

V_g ゲート電圧

【書類名】 図面

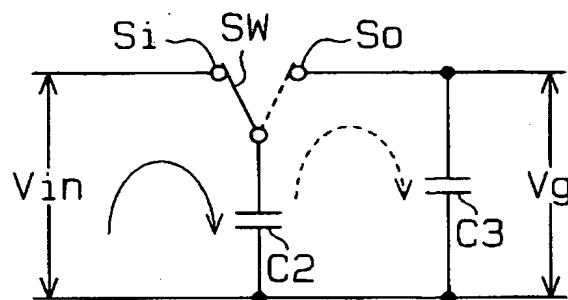
【圖 1】

第1実施形態のDC-DCコンバータを示す回路図



【図 2】

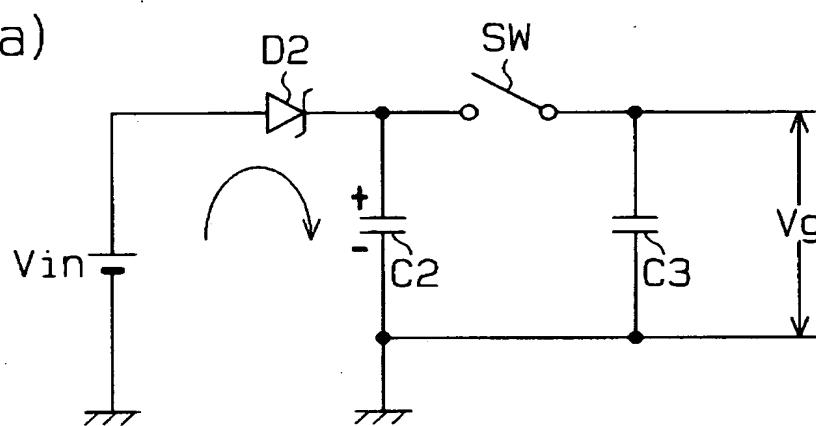
第1実施形態の動作を説明するための等価回路図



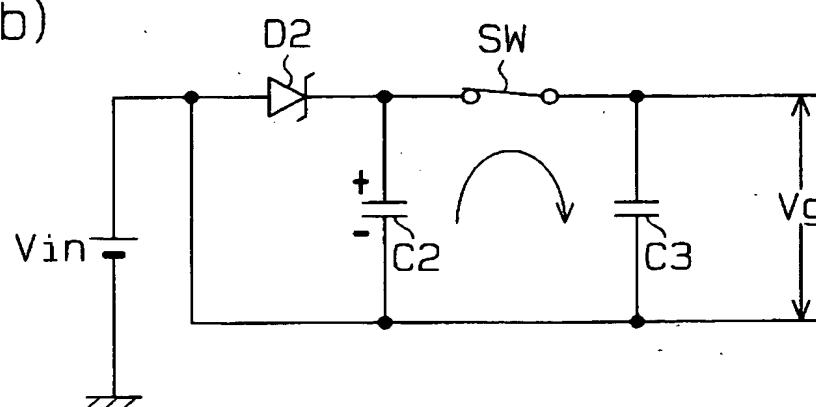
【図 3】

第1実施形態の動作を説明するための等価回路図

(a)

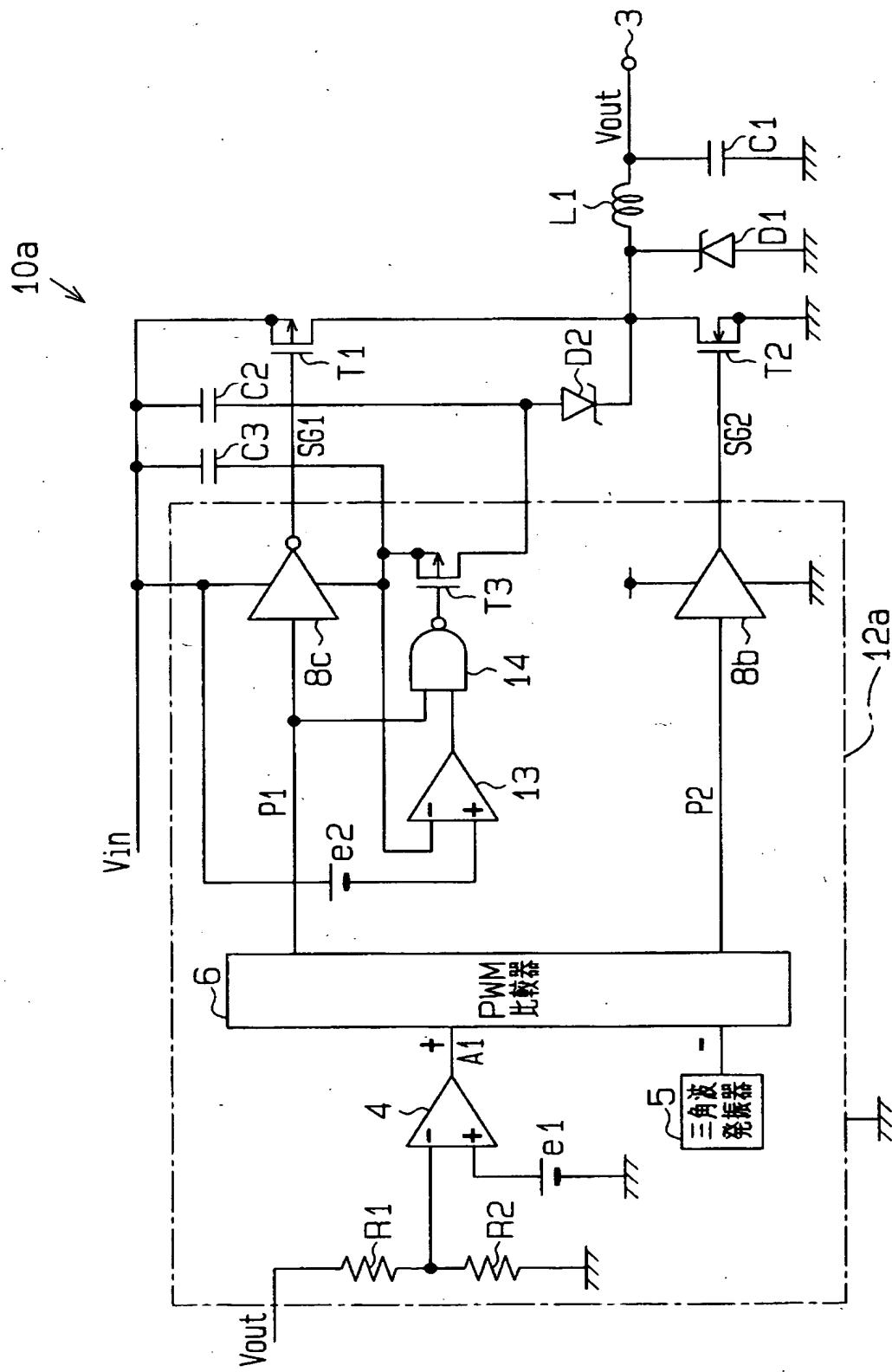


(b)



【図4】

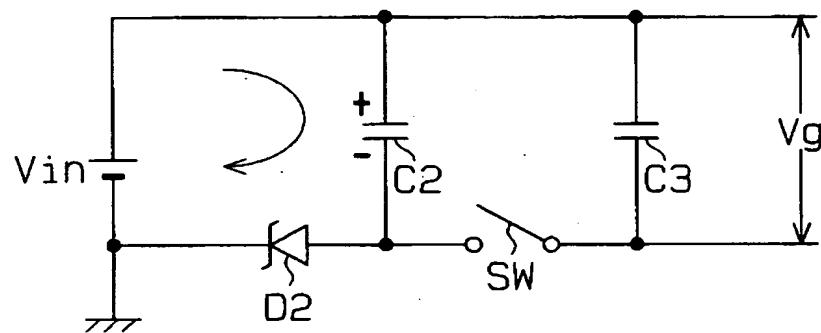
第2実施形態のDC-DCコンバータを示す回路図



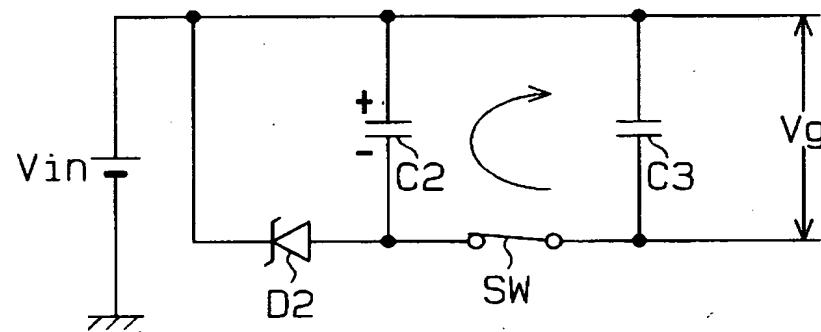
【図 5】

第2実施形態の動作を説明するための等価回路図

(a)

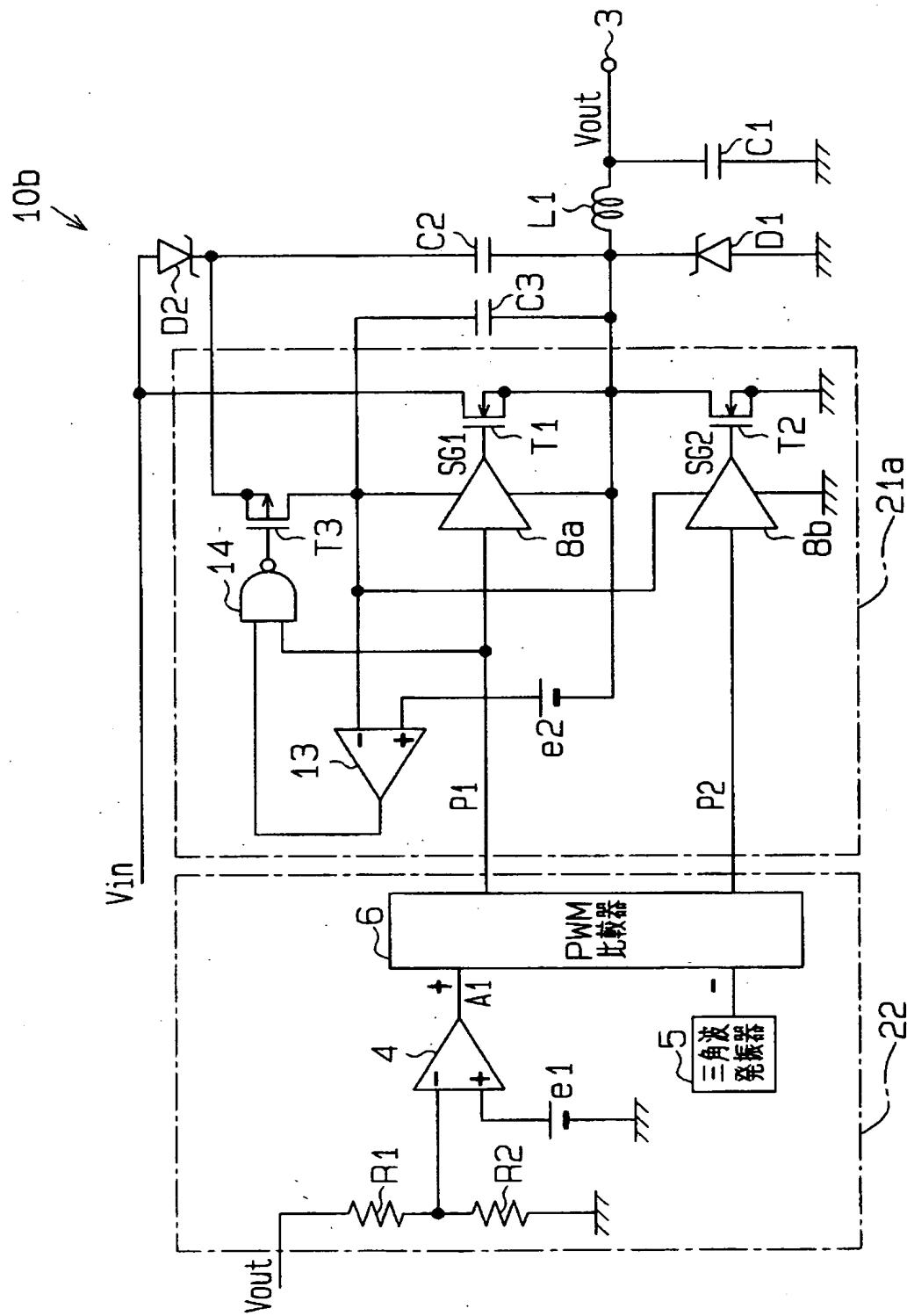


(b)



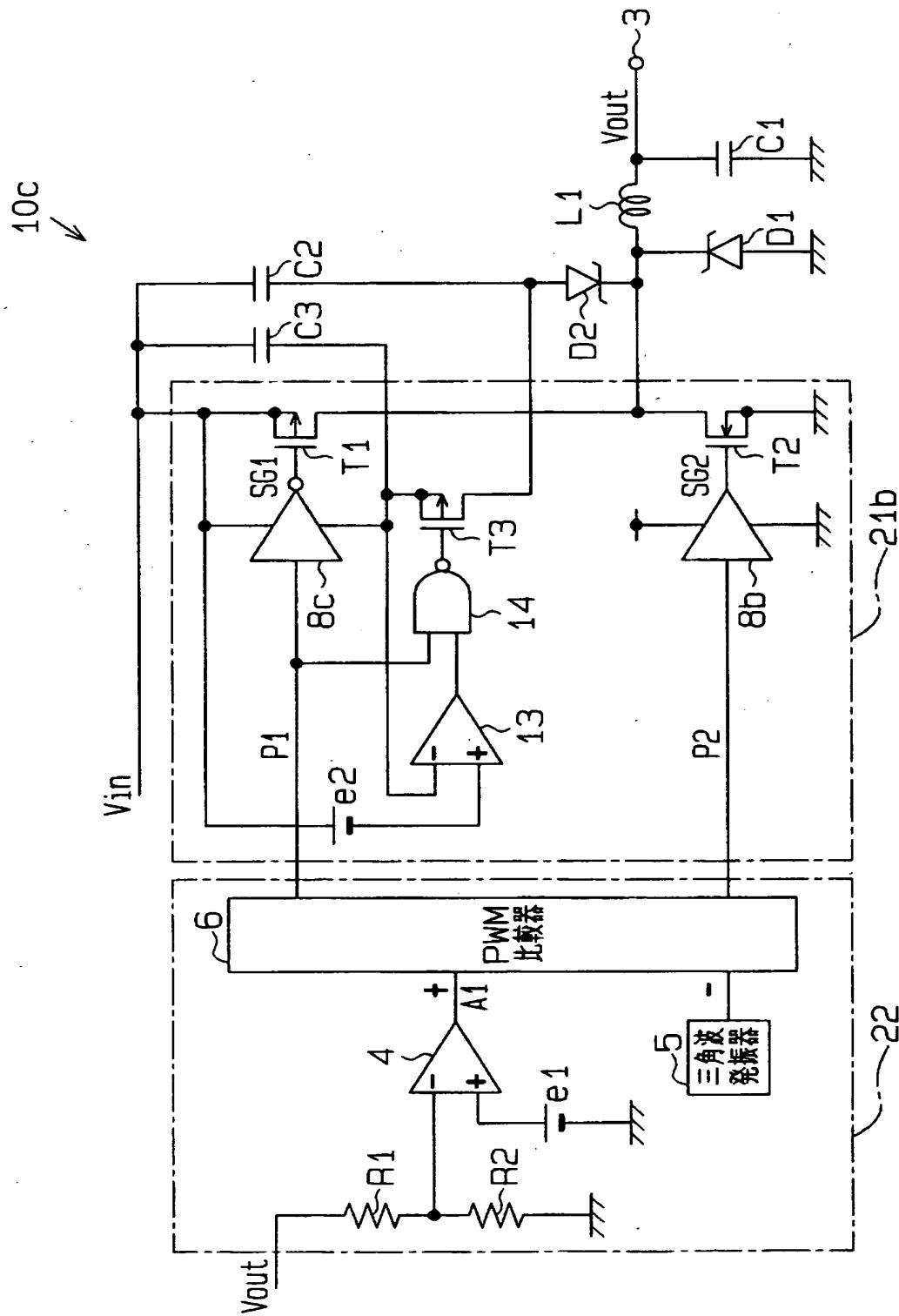
【図6】

別のDC-DCコンバータを示す回路図

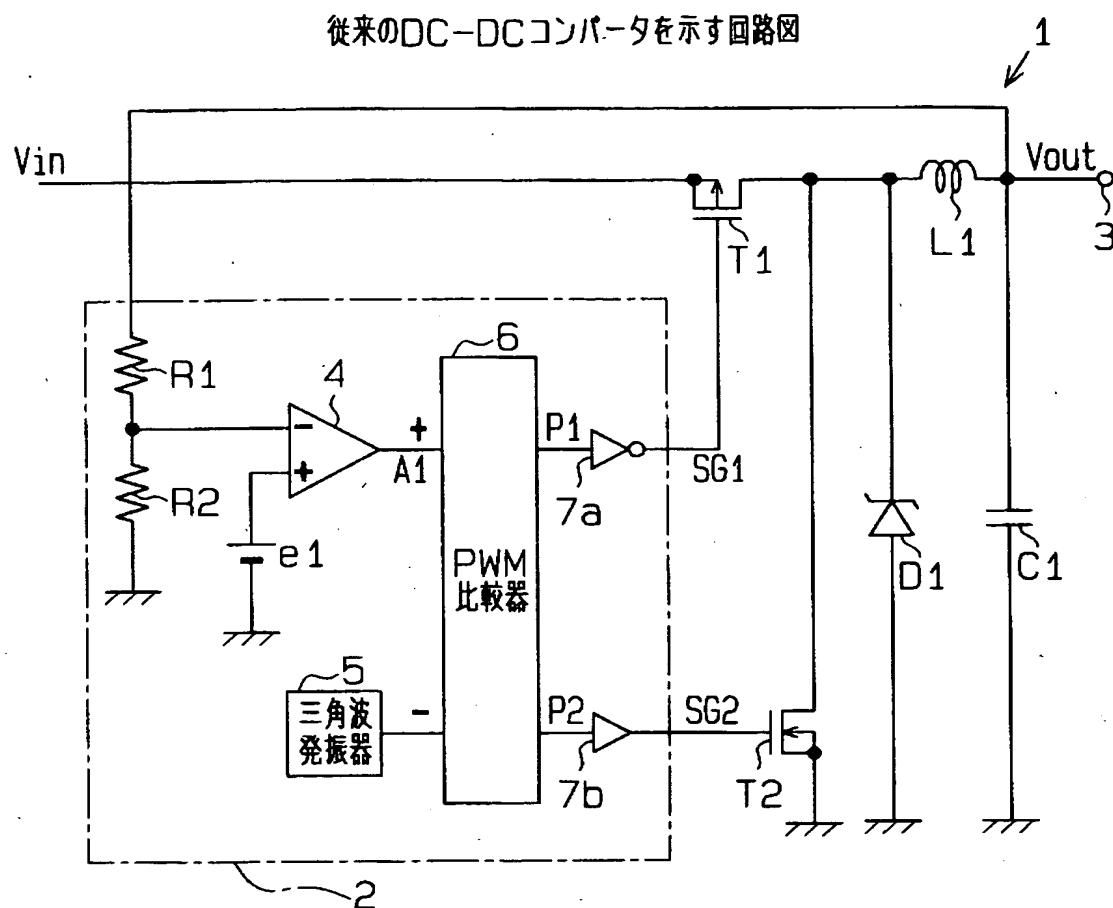


【図 7】

別のDC-DCコンバータを示す回路図

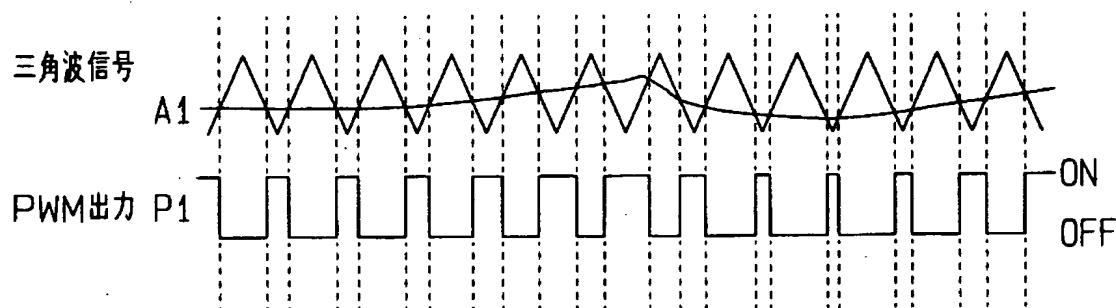


【図 8】



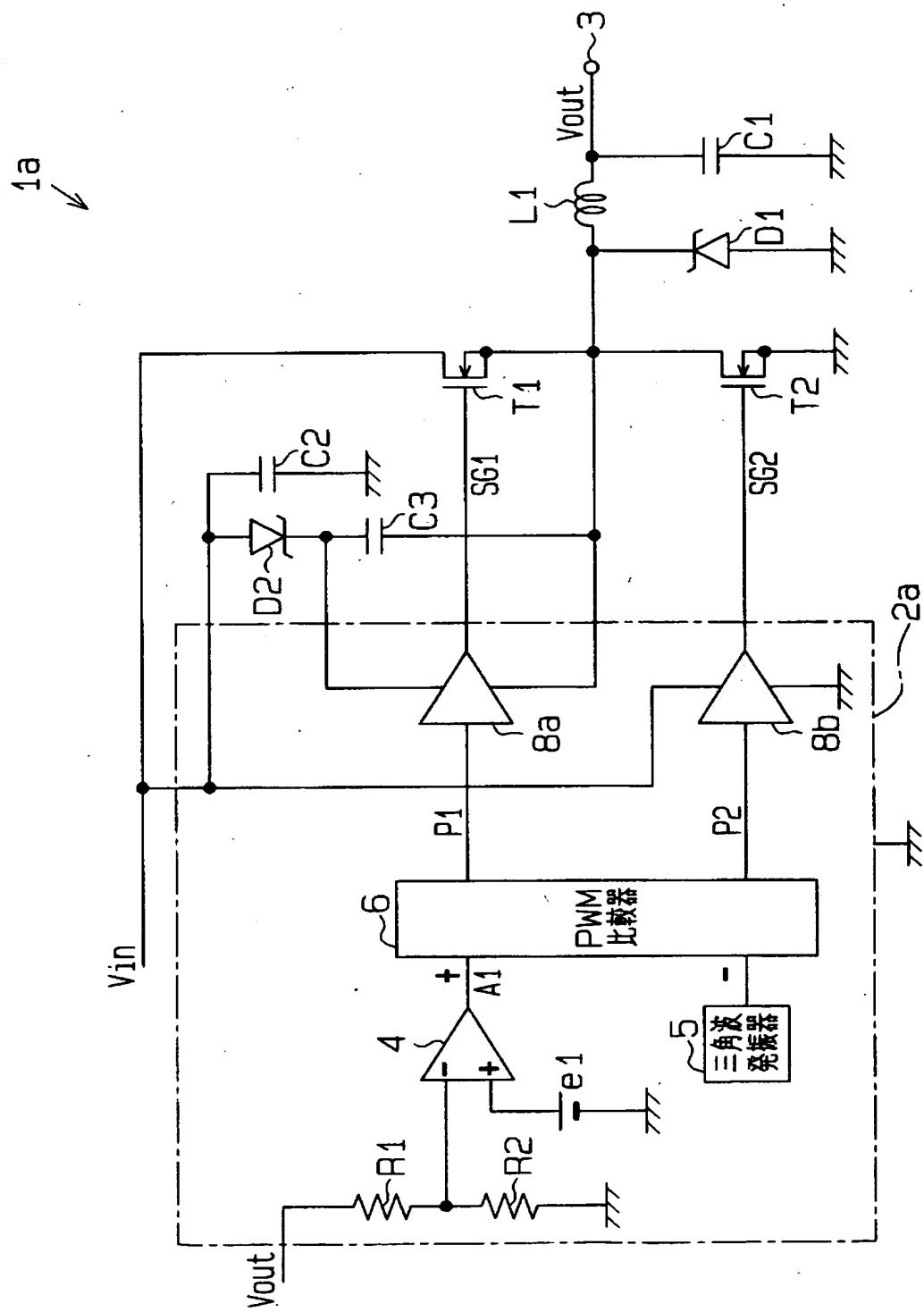
【図 9】

制御回路の動作波形図



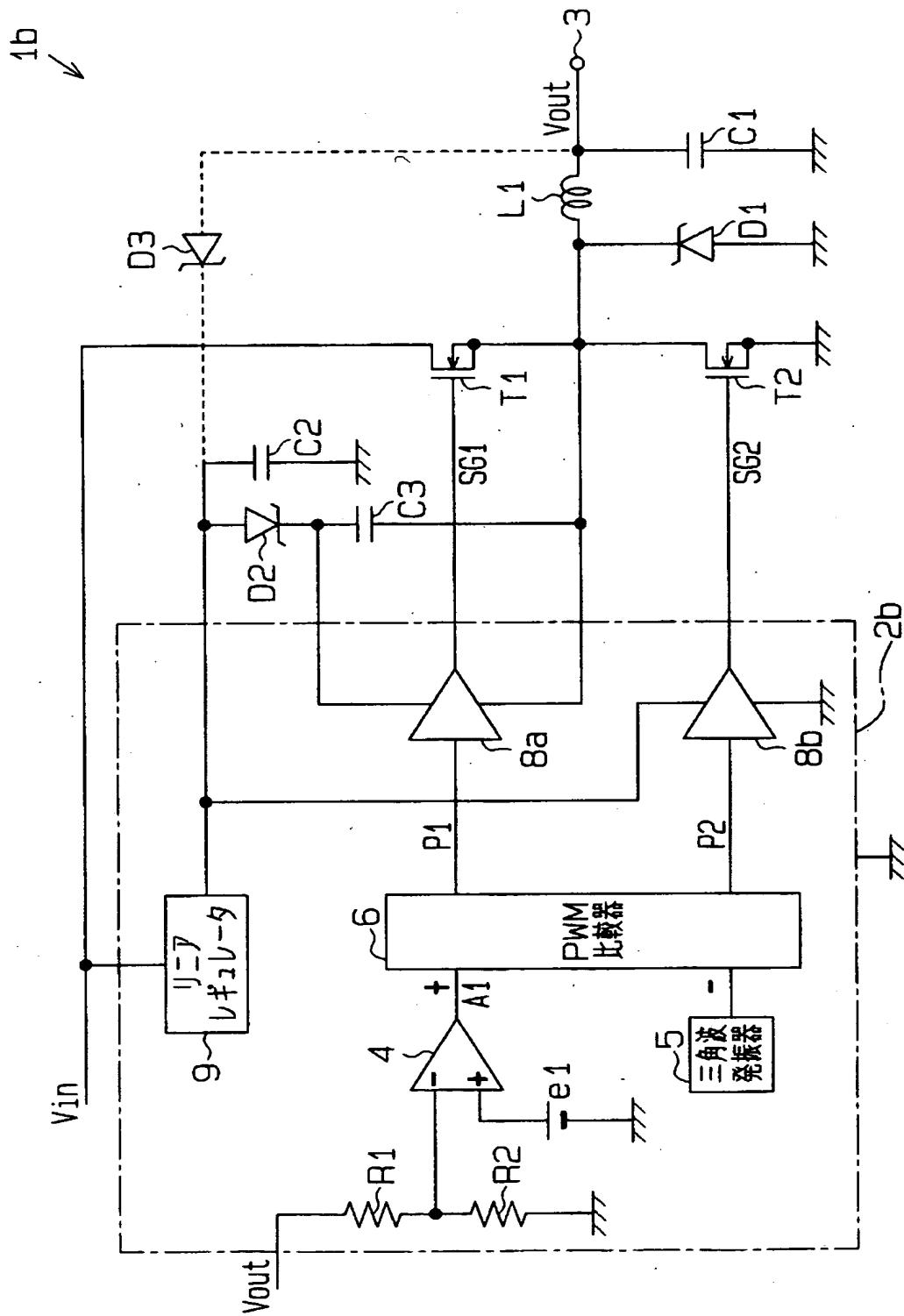
【図10】

従来のDC-DCコンバータを示す回路図



【図 1 1】

従来のDC-DCコンバータを示す回路図



【書類名】 要約書

【要約】

【課題】 リニアレギュレータを用いることなく、高い変換効率を実現することができるDC-DCコンバータを提供すること。

【解決手段】 DC-DCコンバータ10は、メインスイッチング用トランジスタT1をオン／オフ駆動してDC-DC変換を実施する。メインスイッチング用トランジスタT1のソース・ドレイン間には、ダイオードD2と第1コンデンサC2とからなる直列回路を並列に接続し、第1コンデンサC2にトランジスタT3を介して第2コンデンサC3を並列に接続する。メインスイッチング用トランジスタT1のオン／オフに同期して、トランジスタT3により各コンデンサC2, C3を接続又は切り離すことにより、メインスイッチング用トランジスタT1を駆動するためのゲート電圧を生成する。

【選択図】 図1

特願2002-338954

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区上小田中1015番地
氏 名 富士通株式会社

2. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社